



(19)

(11) Publication number: **58192154 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **57075376**(51) Intl. Cl.: **G06F 13/00 G11C 7/00**(22) Application date: **07.05.82**

(30) Priority:

(43) Date of application publication: **09.11.83**

(84) Designated contracting states:

(71) Applicant: **CASIO COMPUT CO LTD**(72) Inventor: **FUJISAWA HIDETAKA**

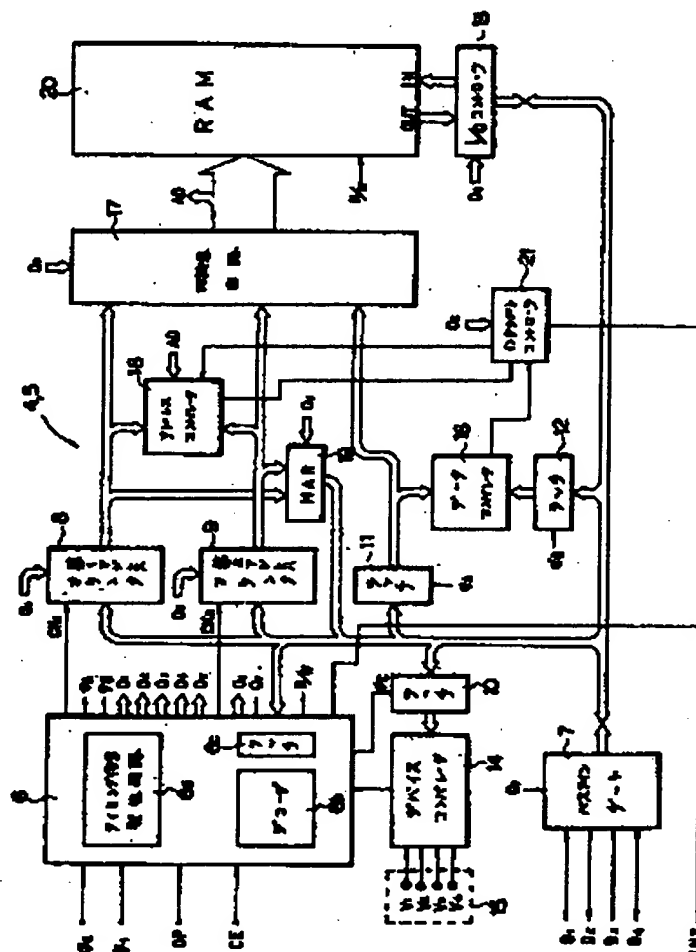
(74) Representative:

(54) MEMORY DEVICE HAVING AUTOMATIC DATA PROCESSING FUNCTION

(57) Abstract:

PURPOSE: To attain the parallel processing together with a CPU, by decoding an instruction code transmitted from the CPU, designating the address of a memory device sequentially, and eliminating increment of the number of connecting lines with the CPU even if the storage capacity is increased.

CONSTITUTION: An instruction code among data D1WD4 transmitted from the CPU is decoded at a decoder 6b, transmitted to a timing generating circuit 6a, and control instructions O1WO7 are outputted. An address of an RAM20 is designated according to the control instructions O1WO7. Thus, even if the capacity of the RAM is increased, the number of bus lines connected to the CPU is not increased. Further, the movement of data in the RAM20 and the search of data are processed automatically independently of the CPU. Then, the CPU performs other processings in parallel.



COPYRIGHT:

(C)1983,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58-192154

⑪ Int. Cl.³
G 06 F 13/00
G 11 C 7/00

識別記号

庁内整理番号
7361-5B
6549-5B

⑬ 公開 昭和58年(1983)11月9日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 自動データ処理機能を有するメモリ装置

目2番1号カシオ計算機株式会
社羽村技術センター内

⑮ 特 願 昭57-75376

⑯ 出 願 人 カシオ計算機株式会社

⑰ 出 願 昭57(1982)5月7日

東京都新宿区西新宿2丁目6番
1号

⑱ 発 明 者 藤沢秀隆

東京都西多摩郡羽村町栄町3丁

⑲ 代 理 人 弁理士 山田靖彦

明 細 書

1. 発明の名称

自動データ処理機能を有するメモリ装置

2. 特許請求の範囲

中央処理装置 (CPU) とバスラインを介して電気的に接続され、前記CPUから送出される命令コードをデコードし、制御命令を出力する制御手段と、前記制御命令に従ってアドレスを発生するアドレス発生手段と、このアドレス発生手段からのアドレスデータによつて指定されるメモリと、前記制御手段からの制御命令に従って前記メモリの読み出しまたは書き込みを行う手段とを具備したことを特徴とする自動データ処理機能を有するメモリ装置。

3. 発明の詳細な説明

この発明は、電子機器を制御するCPU (中央処理装置) とバスラインを介して電気的に接続され、前記CPUからの制御命令により内部処理を執行する自動データ処理機能を有するメモリ装置

に関する。

従来、たとえばプログラム付小型電子式計算機においてCPUにバスラインを介して接続されるメモリ装置、例えばRAM (ランダム・アクセス・メモリ) は、CPUによつて直接アドレス制御されている。すなわち、CPUからデータ信号、読み出し/書き込み信号、チップ・セレクト信号、アドレス指定信号などが夫々のバスラインを介して送出され、これら信号に従ってRAMとCPUとの間においてデータの授受が行なわれている。このため、RAMのアドレスを指定するアドレスラインは前記CPUから全て接続されている。そこで、RAMの容量が増加すると前記アドレスラインも増加させる必要があり、ライン数が増えるという欠点があつた。また、RAM内のデータをサーチする場合やシフトする場合は、CPUが他の処理を行うことができず、その分だけ計算機の処理速度が低下するという欠点があつた。

この発明は前記事情に基づいてなされたもので、その目的とするところは、CPUから送出された

命令コードをデコードしてメモリ装置のアドレスを順次指定することにより、記憶容量が増加してもCPUとの接続ライン数が増加せず、CPUとの並列処理が可能な自動データ処理機能を有するメモリ装置を提供することである。

以下、この発明の一実施例につき第1図ないし第4図に基づいて説明する。第1図はこの発明のメモリ装置が接続された小型電子式計算機の概略システム構成図を示し、図中、符号1はCPUで、このCPUから出力されたサンプリング信号に従ってキーボード2の操作キーが選択され、キー操作に応じたキー入力信号がCPU1に入力される。また、CPU1は表示データを送出し、同データは表示装置3において表示される。また、CPU1はメモリ装置として第1のRAM4および第2のRAM5をバスラインBLを介して接続している。そして、CPU1からは第1のRAM4および第2のRAM5に夫々所定周期のクロックパルス ϕ_1 、 ϕ_2 、チップ・イネーブル信号CE、オーバーレーション信号OPを夫々出力する。また、CPU

1は第1のRAM4および第2のRAM5との間において4ビットのデータ $D_1 \sim D_4$ の転送を行い、第1のRAM4および第2のRAM5からはインタラプト信号INTが入力される。

第2図は第1のRAM4および第2のRAM5の詳細を示す回路構成図である。図中符号6は制御回路であり、ここにはCPU1から送出されるクロックパルス ϕ_1 、 ϕ_2 、チップ・イネーブル信号CE、オーバーレーション信号OPが夫々入力される。前記制御回路6にはラッチ6a、デコーダ6b及びタイミング信号発生回路6cが備えられ、前記データ $D_1 \sim D_4$ のうち命令コードはバスラインゲート7を介してラッチ6aに書き込まれる。そして、ラッチ6aの命令コードはデコーダ6bによつてデコードされ、この出力はタイミング発生回路6cに送出される。タイミング発生回路6cはデコーダ6bからのデコード出力と、前記クロックパルス ϕ_1 、 ϕ_2 に基づいてタイミング信号 ϕA 、 ϕB 、 ϕO 、R/W信号、信号 CK_1 、 CK_2 、および制御命令 $0_1 \sim 0_7$ を作成して送出する。前記バスラインゲ

ート7は前記制御命令 0_1 によつて開閉制御され、この開成状態ではデータ $D_1 \sim D_4$ を透過し、同データは制御回路6に入力されるほか、第1のアドレスカウンタ8、第2のアドレスカウンタ9、ラッチ10、11、12、I/Oコントローラ13に夫々入力される。前記ラッチ10は入力されるデータ $D_1 \sim D_4$ のうちDEVICE NOを示すデータを前記タイミング信号 ϕO のタイミングで書き込み、同データをデバイスコンペレータ14へ送出する。デバイスコンペレータ14はデバイス設定部15から供給される設定DEVICE NOと、ラッチ10から入力される前記DEVICE NOとを比較し、この比較結果が一致している場合は一致信号を制御回路6へ出力する。前記デバイス設定部15は端子 $V_1 \sim V_4$ からなり、たとえば第1のRAM4のDEVICE NOを4ビットのデータとして設定するものである。また、前記ラッチ11は入力されるデータ $D_1 \sim D_4$ のうちサーチデータやシフト桁データをタイミング信号 ϕA のタイミングでラッチし、同データをデータコ

ンペレータ16および加減算回路17に出力する。

前記第1アドレスカウンタ8、第2アドレスカウンタ9は夫々12ビットの容量を有し、夫々対応して前記制御命令 $0_1 \sim 0_7$ によつてアップ・ダウンの指定、リセット、および前記データ $D_1 \sim D_4$ のうちアドレスデータの読み込みなどが制御され、また夫々対応して信号 CK_1 、 CK_2 の計数を行い、これら計数されたアドレスデータは前記加減算回路17に入力されるほか、アドレスコンペレータ18およびMAR回路（メモリ・アドレス・リコール回路）19へ送出される。このMAR回路19は前記制御命令 0_1 に従つて、入力された第1アドレスカウンタ8および第2アドレスカウンタ9のアドレスデータのうちの一方のアドレスデータを4ビットごとバスラインゲート7を介してCPU1へ送出する。また、前記加減算回路17は前記制御命令 0_1 によつて制御され、第1アドレスカウンタ8あるいは第2アドレスカウンタ9から送出されるアドレスデータ、あるいはこれらアドレスデータとラッチ11の内容との加減算結果を

アドレスデータとしてRAM 20に送出するほか、前記加減算回路17から出力されるアドレスデータADはアドレスコンパレータ18にも出力される。このアドレスコンパレータ18はインタラプトコントローラ21からの信号が“0”の場合は、第1アドレスカウンタ8のアドレスデータと第2アドレスカウンタ9のアドレスデータの比較を、また前記信号が“1”の場合は第1アドレスカウンタ8のアドレスデータと加減算回路17からのアドレスデータADとの比較を行い、夫々一致した場合は一致信号をインタラプトコントローラ21へ出力する。また、前記ラッチ12にはI/Oコントローラ13を介してRAM 20から読み出されたデータがタイミング信号φ₀のタイミングでラッチされ、このデータがデータコンパレータ16へ送出される。データコンパレータ16はラッチ11の内容とラッチ12の内容とを比較し、比較結果が一致した場合は一致信号をインタラプトコントローラ21へ出力する。インタラプトコントローラ21は前記制御命令0_iにより制御され

て前記“0”、“1”信号を出力し、また一致信号が入力された際にCPU1および制御回路6に対してインタラプト信号INTを出力する。また、前記I/Oコントローラ13は内部に4ビットのラッチが備えられており、前記制御命令0_iに従ってRAM 20から読み出されたデータをラッチして再びRAM 20へと送出したり、あるいはラッチしたデータをバスラインゲート7へ出力し、さらにオール“0”データを作成してRAM 20の内容をクリアする回路も備えられている。前記RAM 20はR/W信号によつて読み出し、あるいは書き込み状態に指定され、入力されるアドレスデータに対応する記憶領域に対してデータの読み出し、書き込みが行なわれる。

第3図はCPU1から4ビットのデータD₁~D₄として第1のRAM 4および第2のRAM 5に送られてくる命令形式の例を示したものである。第3図(A)は全体が1桁4ビットずつ桁X₀~X₃の5桁分となり、このうち桁X₀には第1のRAM 4あるいは第2のRAM 5のいずれかを指定するDE

VICE NOデータが、また桁X₁には命令の種類を示すオペレーションコードOPEが、また桁X₂~X₃にはRAM 20のアドレスを指定するRAM ADDRESSが夫々送出される。また、RAM 20の2つのアドレスによつて夫々指定される2つの先頭アドレスから記憶領域内のデータを順次に読み出す命令(binary命令と称す)を実行させる場合には第3図(B)に示すように第3図(A)と同一形状の5桁分のデータD₁~D₄がCPU1から2回にわたつて順次出力される。また、RAM 20の指定されたアドレスを所定桁分桁上げあるいは桁下げさせるShift命令を実行させる場合、あるいはあるデータをRAM 20内のアドレス1からアドレス2の範囲内でサーチし、対応するデータを読み出すSearch命令を実行させる場合には、第3図(C)に示すように第3図(A)と同一形式の5桁分の桁X₀~X₃のデータD₁~D₄が2回出力されるほか、さらに桁X₁、X₂、X₃分のデータとしてシフトされる桁数、あるいはサーチされるデータが順次出力される。

次に、この発明の動作につき、まず、第1のRAM 4に対してREAD命令を実行させる場合について説明する。いま、第4図に示すようにCPU1からはクロックパルスφ₁、φ₂が出力され続けているとする。このとき、信号φ₀の立下がりのタイミングでオペレーション信号OPとチップ・イネーブル信号CEが夫々CPU1から出力され、この結果第1のRAM 4および第2のRAM 5が命令コードの読み込みを開始する(命令読み込みサイクル)次に、クロックパルスφ₁の立下がりのタイミングで第3図(A)に示す形式でまず、第1のRAM 4を指定するDEVICE NOを示す「1100」のデータD₁~D₄がCPU1から出力される。一方、制御回路6は前記オペレーション信号OPとチップ・イネーブル信号CEが両方入力されると制御命令0_iを出力し、この結果、バスラインゲート7が閉成される。このため、前記DEVICE NOのデータはバスラインゲート7を介し、タイミング信号φ₀のタイミングでラッチ10に書き込まれる。デバイスコンパレータ14

はデバイス設定部15からあらかじめ設定された第1のRAM4のデバイスNOデータ「1100」が入力されており、このデータとラフテ10の内容とを比較し、一致している場合は一致信号を制御回路6へ出力する。この一致信号が出力されると、制御回路6は前記X₀のDEVICE NOデータに就いてCPU1から出力されたREAD命令を示すX₁のオペレーションコードOPE「0000」をラフテ6aに書き込む。このラフテ6aに書き込まれたオペレーションコードOPEはデコード6bによりデコードされ、ここでREAD命令が解説されてREAD処理が開始される。すなわち、制御回路6から制御命令O₁が出力され、前記X₀のオペレーションコードOPEに就いてCPU1から順次出力されるX₂、X₃、X₄のRAM ADDRESSが第1アドレスカウンタ8に順次セットされる。このようにして前記X₀〜X₄の命令コードは第1のRAM4にセットされ、このセット後、CPU1から出力され続けていたオペレーション信号OP、チップ・イネーブル信号OEの

カウンタ8の内容がインクリメントされ、RAM DATAの読み出しが行なわれる。そして、CPU1からチップ・イネーブル信号CEの出力が停止すると、信号CK₁の出力も停止し、READ動作も終了する。

次に、前述した第3図(b)のbinary命令がCPU1から出力された場合の動作について説明する。この場合、まず、最初の桁X₀〜X₄のDEVICE NO、OPE、RAM ADDRESS1の各データがバスラインゲート7を介して入力され、このうちDEVICE NOはラフテ10に入力され、OPEはラフテ6aに書き込まれ、制御回路6においてbinary命令であることがデコードされる。また、入力されたRAM ADDRESS1、例えば「50」は第1アドレスカウンタ8にセットされる。同時に、2回目にCPU1から出力されたOPE、RAM ADDRESS2、例えば「100」は夫々対応してラフテ6a、第2アドレスカウンタ9へセットされる。そして、第2アドレスカウンタ9は制御命令O₂、

出力がクロックパルスφ₁のタイミングで停止する。次に、CPU1からオペレーション信号OPが停止した状態でチップ・イネーブル信号CEが出力されるとデータ処理サイクルとなり、制御回路6はラフテ6aに書き込まれたオペレーションコードOPEに従ってRAM20のREAD動作を開始する。すなわち、第1アドレスカウンタ8にセットされたRAM ADDRESS8の内容により加減算回路17を介してRAM20の先頭のアドレスが指定され、さらにRAM20に入力されるR/W信号が「0」になりREAD状態に指定される。すると、RAM20の指定されたアドレス内のRAM DATAが読み出され、I/Oコントローラ13、バスラインゲート7を夫々介してCPU1へと送出される。次に、制御回路6から信号CK₁が出力され、この信号CK₁により第1アドレスカウンタ8がカウントアップされ、このアドレスデータによつてRAM20の次アドレスが指定され、次のRAM DATAが読み出される。同時に、信号CK₁の出力の都度、第1アドレスカ

ウンタ8に従つてアドレス「100」から+1ずつインクリメントされ、これと同時に第1アドレスカウンタ8は制御命令O₁、信号CK₁に従つてアドレス「50」から-1ずつインクリメントされる。なお、アドレスを+1するか-1するかはオペレーションコードOPE1、OPE2の内容により定められる。そして、制御回路6はCPU1から出力されるチップ・イネーブル信号CEが「0」から「1」となつたとき第1アドレスカウンタ8の内容によりRAM20をアドレス指定し、チップ・イネーブル信号CEが再び「0」から「1」になつたとき第2アドレスカウンタ9の内容によりRAM20をアドレス指定する。そして、RAM20から読み出されるデータはI/Oコントローラ13、バスラインゲート7を介してCPU1に送出される。CPU1はチップ・イネーブル信号CEを交互に「0」あるいは「1」にして第1アドレスカウンタ8あるいは第2アドレスカウンタ9により指定されるアドレスのデータを読み出す。

次に、前述した第3図のB・a・b命令がCPU1から出力される場合の動作について説明する。この場合、CPU1から出力される $X_1 \sim X_n$ の各データのうちOPE1、OPE2は夫々ラッチ6・aに書き込まれ、RAM ADDRESS1、例えば「50」は第1アドレスカウンタ8へ、RAM ADDRESS2、例えば「100」は第2アドレスカウンタ9へ夫々セットされ、さらにB・a・b DATA、例えば「AAA」はラッチ11に書き込まれる。そして、第1アドレスカウンタ8はそのカウント内容を+1ずつインクリメントし、この都度、RAM20の対応するアドレスのRAM DATAが読み出され、I/Oコントローラ13を介してラッチ12に書き込まれる。そして、このラッチ12の内容とラッチ11の内容とはデータコンパレータ16において比較され、この比較結果が不一致の場合は、第1のアドレスカウンタ8が+1されて再びラッチ12にラッチされたRAM DATAと比較される。前記比較結果が一致している場合には一致信号がイ

ンタラプトコントローラ21に対して出力され、インタラプトコントローラ21からB・a・b動作の終了を示すインタラプト信号INTがCPU1および制御回路6に出力される。これと同時に、サーチされたRAM DATA「AAA」のアドレスを示す第1アドレスカウンタ8の内容がRAM回路19、バスラインゲート7を介してCPU1へ送出される。なお、第2アドレスカウンタ9の内容と第1アドレスカウンタ8の内容はアドレスコンパレータ18において比較され、RAM20内にRAM DATA「AAA」がサーチされず、第1アドレスカウンタ8の内容が「100」になった場合も一致信号がインタラプトコントローラ21に出力され、この結果、前記インタラプト信号INTが送出される。

なお、前記実施例においては小型電子式計算機の内部に固定的に第1のRAM4および第2のRAM5を設けた構成としたが、これに限らず、第1のRAM4および第2のRAM5をカセット式に増設自在にCPU1と接続するように構成して

も良い。また、前記実施例はメモリとしてRAMを用いたが、これに限らず、例えばROM(リード・オン・メモリ)を用いてもよい。また、この発明は小型電子式計算機に限らず他の電子機器に適用可能である。

以上説明したようにこの発明によれば、CPUから送出される命令コードをデコードして制御命令を出力し、この制御命令に従ってアドレス指定動作を行い、このアドレスデータによつてRAMのアドレスが指定されるようにしたから、RAMの容量が増加してもCPUと接続するバスラインのライン数を増加することはない。また、RAM内のデータの移動、あるいはデータのサーチなどに対しては前記CPUとは独立して自動的に処理することができるので、CPUは他の処理を並列して行うことができ、システム全体の処理速度が速くなるという利点がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例を使用した概略システム構成図、第2図は第1のRAMおよび第2

のRAMの評価を示す回路構成図、第3図(A)(B)(C)は命令形式を示す図、第4図は動作を説明するためのタイムチャートである。

1……CPU、4……第1のRAM、5……第2のRAM、6……制御回路、8……第1アドレスカウンタ、9……第2アドレスカウンタ、17……加減算回路、20……RAM。

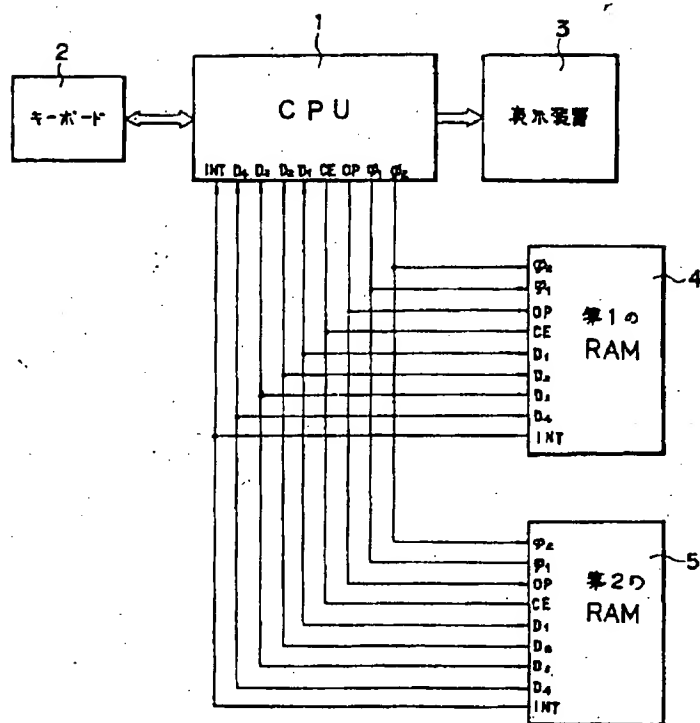
特許出願人 カシオ計算機株式会社

代理人 弁理士 山 田 靖



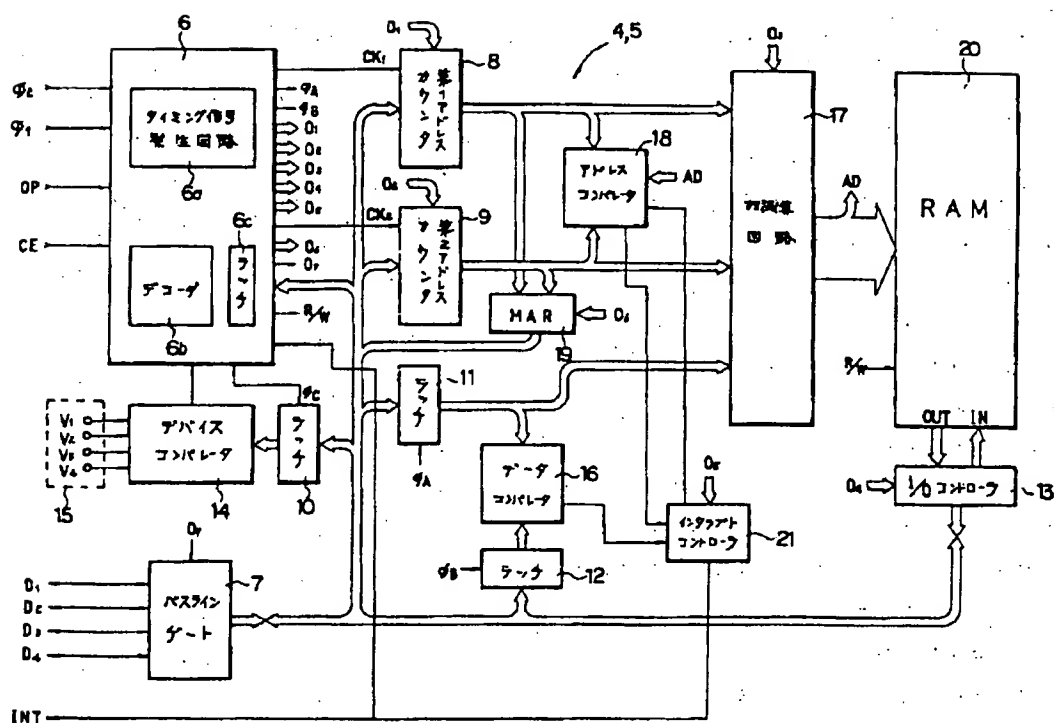
第 1 図

FIG. 1



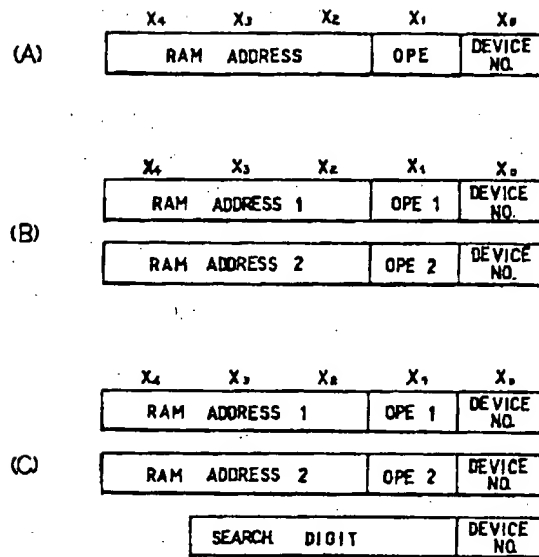
第 2 図

FIG. 2



第 3 図

FIG. 3



第 4 図

